

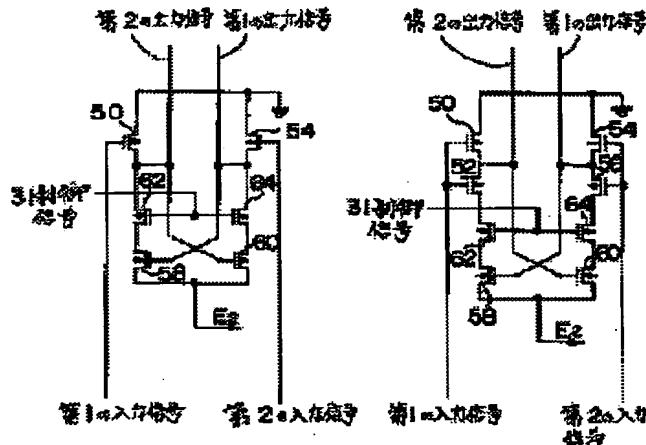
LEVEL SHIFT CIRCUIT AND HIGH VOLTAGE DRIVING CIRCUIT USING IT

Patent number: JP6318055
 Publication date: 1994-11-15
 Inventor: AOKI SHIGEKI
 Applicant: SEIKO EPSON CORP
 Classification:
 - international: G09G3/36; G09G3/20; H03K5/02; H03K19/0185; H04N5/66
 - european:
 Application number: JP19930329871 19931130
 Priority number(s):

Abstract of JP6318055

PURPOSE: To realize a level shift circuit provided with a function excepting the function converting from a first power source voltage to a second power source voltage, and to realize a high voltage driving circuit using the level shift circuit.

CONSTITUTION: In addition to a first and second switching elements (transistors 50-56), third and fourth switching elements (transistors 62, 64) are provided in series. The transistors 62, 64 are turned on/off by a prescribed control signal, and thus, the current path of the level shift circuit is conducted/interrupted. By such a constitution, a logic circuit arranged on the poststage of the level shift circuit is arranged on the preceding stage of the level shift circuit, and since the logic circuit is driven by a voltage for driving the logic circuit, the area of the circuit is reduced. Further, since the generation of a penetration current in the period when the voltage levels of the first and second input signals are inverted is prevented and a short circuit state in the current path is prevented, the performance of a display characteristic, etc., is improved, and the response operation of the level shift circuit is improved.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-318055

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl.⁵ 識別記号 庁内整理番号 F I 技術表示箇所
G 0 9 G 3/36 8621-5G
3/20 J 9176-5G
H 0 3 K 5/02 L 7402-5J
19/0185 8941-5J H 0 3 K 19/ 00 1 0 1 E
審査請求 未請求 請求項の数 4 FD (全 13 頁) 最終頁に続く

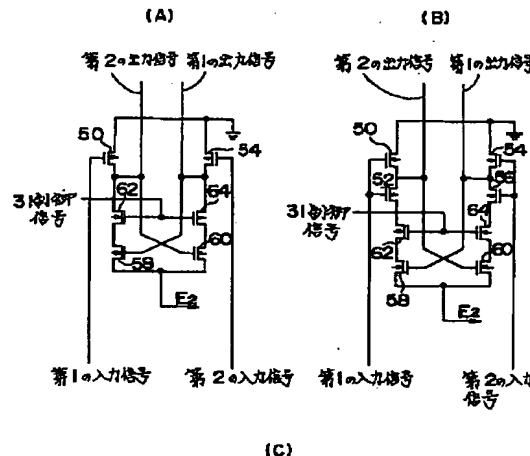
(21)出願番号	特願平5-329871	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成5年(1993)11月30日	(72)発明者	青木 茂樹 長野県諏訪市大和3丁目3番5号 セイコ ーエプソン株式会社内
(31)優先権主張番号	特願平4-323373	(74)代理人	弁理士 井上一 (外2名)
(32)優先日	平4(1992)12月2日		
(33)優先権主張国	日本 (JP)		

(54)【発明の名称】 レベルシフト回路及びこれを用いた高電圧駆動回路

(57)【要約】

【目的】第1の電源電圧から第2の電源電圧へと変換する以外の機能を持たせたレベルシフト回路を実現し、またこのレベルシフト回路を用いた高電圧駆動回路を実現すること。

【構成】本発明によれば、第1、第2のスイッチング素子（トランジスタ50～56）に加えて第3、第4のスイッチング素子（トランジスタ62、64）が直列に設けられている。トランジスタ62、64は所定の制御信号によりオン・オフされ、これによりレベルシフト回路の電流経路の導通・遮断が行われる。以上の構成によりレベルシフト回路の後段に配置されていた論理回路をレベルシフト回路の前段に配置でき、この論理回路を論理回路駆動用電圧で駆動できるため回路の小面積化を図れる。また第1、第2の入力信号の電圧レベル反転期間に貫通電流が発生するのを防止でき、電流経路がショート状態を防止できるため表示特性等の性能の向上、レベルシフト回路の応答動作の向上を図れる。



第1の入力信号	第2の入力信号	第1の出力信号	第2の出力信号
H (GND)	L (E1)	GND	E2
L (E1)	H (GND)	E2	GND
H (GND)	H (GND)	Z	Z
L (E1)	L (E1)	GND	GND

【特許請求の範囲】

【請求項1】 第1、第2の入力信号の電圧振幅を第1の電源電圧から第2の電源電圧へと変換させるレベルシフト回路において、

前記第1、第2の入力信号によりオン・オフされる第1、第2のスイッチング素子に加えて第3のスイッチング素子が前記第1のスイッチング素子に対して直列に設けられ第4のスイッチング素子が前記第2のスイッチング素子に対して直列に設けられ、これらの第3、第4のスイッチング素子が前記第1、第2の入力信号の信号状態に応じて形成された制御信号によりオン・オフされ、電流経路の導通・遮断の切り換えが行われることを特徴とするレベルシフト回路。

【請求項2】 請求項1において、

前記第3、第4のスイッチング素子は、前記第1、第2の入力信号が共に上側レベルにある場合又は共に下側レベルにある場合に前記制御信号によりオフ状態にされ、前記電流経路が遮断されることを特徴とするレベルシフト回路。

【請求項3】 請求項1において、

前記第3、第4のスイッチング素子は、前記第1、第2の入力信号の電圧レベル反転期間に前記制御信号によりオフ状態にされ、前記電流経路が遮断されることを特徴とするレベルシフト回路。

【請求項4】 所定の素子を第2の電源電圧で駆動させるための高電圧駆動信号を発生する高電圧駆動回路において、

所定の論理演算により第1、第2の入力信号を形成する論理回路と、

前記第1、第2の入力信号の電圧振幅を第1の電源電圧から第2の電源電圧へと変換させるレベルシフト回路と、

前記レベルシフト回路の出力信号により前記高電圧駆動信号を形成する出力駆動回路とを含み、

前記レベルシフト回路には前記第1、第2の入力信号によりオン・オフされる第1、第2のスイッチング素子に加えて第3のスイッチング素子が前記第1のスイッチング素子に対して直列に設けられ第4のスイッチング素子が前記第2のスイッチング素子に対して直列に設けられ、これらの第3、第4のスイッチング素子は、前記第1、第2の入力信号が共に上側レベルにある場合又は共に下側レベルにある場合に所定の制御信号によりオフ状態にされ、前記レベルシフト回路の電流経路が遮断されることを特徴とする高電圧駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入力信号の電圧振幅を第1の電源電圧から第2の電源電圧へと変換するレベルシフト回路及びこのレベルシフト回路を用いた高電圧駆動回路に関するものである。

【0002】

【従来の技術】 従来のレベルシフト回路は、互いに逆位相で入力された第1、第2の入力信号の電圧振幅を、第1の電源電圧(E1)から第2の電源電圧(E2)へと変換する以外の機能を有してはいなかった。

【0003】 図11(A)、(B)に、従来のレベルシフト回路の回路図を示す。このレベルシフト回路は、第1、第2のスイッチング素子であるトランジスタ150、(152)、154、(156)と、トランジスタ158、160とで構成される。そして、電圧振幅が0～E1の第1の入力信号及びこの第1の入力信号と逆位相の信号である第2の入力信号が、それぞれトランジスタ150、(152)、154、(156)のゲート電極に入力されている。また、トランジスタ158、160のゲート電極には、レベルシフト回路の第1、第2の出力信号が入力されている。

【0004】 従来のレベルシフト回路では、以上の構成により互いに逆位相の第1、第2の入力信号の電圧振幅を、第1の電源電圧(E1)から第2の電源電圧(E2)へと変換していた。なお、図11(A)、(B)に示すレベルシフト回路の例では、E1、E2は共に負の値であり、E1 > E2の関係となっている。

【0005】 さて、従来のレベルシフト回路では、第1、第2のスイッチング素子の他に所定の制御信号によりオン・オフされる第3、第4のスイッチング素子が設けられていなかった。従って、電源電圧E1からE2への変換以外の機能を有せず、このため従来のレベルシフト回路では以下のような問題があった。

【0006】

【発明が解決しようとする課題】 まず、第1の問題について説明する。

【0007】 図11(C)には、この従来のレベルシフト回路の真理値表が示される。同図に示されるように、この従来例では、互いに逆相の入力信号が入力された場合には電源電圧E1からE2への変換が行われる。しかし、第1、第2の入力信号が共に同レベルの場合は、このレベルシフト回路は正常な動作を行わない。即ち、図11(A)、(B)の回路では、第1、第2の入力信号が共にHレベル(GNDレベル)の場合は、第1、第2の出力信号はZレベル(ハイインピーダンスレベル)となり、また、第1、第2の入力信号が共にLレベル(E1レベル)の場合は、レベルシフト回路の電流経路が導通してしまい、動作不能となってしまう。

【0008】 この欠点のため、従来のレベルシフト回路を高電圧駆動回路、例えば液晶駆動回路(例えばSTN、TFT、MIM液晶用の駆動回路)、多ビットの高電圧出力ドライバー等に適用した場合に、以下のような問題が生じた。

【0009】 図12には、従来のレベルシフト回路を例えればSTN液晶用の駆動回路に適用した場合の例が示さ

れる。データ信号は、第1の入力信号として、第1のスイッチング素子であるトランジスタ150、152に入力される。更に、このデータ信号はインバータ34により反転され、第2の入力信号として、第2のスイッチング素子であるトランジスタ154、156に入力される。これにより電圧振幅がGND～VSS (VSSは例えば-5V) からGND～V5 (V5は例えば-30V) へと変換される。同様に交流化信号も、レベルシフト回路32に入力され、電圧振幅がGND～VSSからGND～V5へと変換される。

【0010】このようにしてレベルシフトされたレベルシフト回路33、35の出力信号45、46、44は、論理回路170へと入力される。この論理回路170は、第2の電源電圧V5にて動作するNAND回路37、39及びNOR回路36、38から構成されている。そして、この論理回路170内で所定の論理演算が行われ、論理演算終了後にその出力信号172、174、176、178は、Nchトランジスタ40、43、Pchトランジスタ41、42より構成される出力駆動回路180に入力される。そして、出力駆動回路180内のこれらのトランジスタ40～43では、ゲート電極に論理回路170の出力信号172～178が接続され、ソース領域に電源V0、V2、V3、V5 (V0 > V2 > V3 > V5) が接続されている。また、これらのトランジスタ40～43のドレイン領域は共通接続されており、この共通接続されたドレイン出力が液晶駆動信号としてそれぞれの液晶素子に出力されることになる。以上の構成により、この従来の液晶駆動回路では、2値出力を4値出力 (V0、V2、V3、V5) へと変換することが可能となる。

【0011】さて、従来のレベルシフト回路を用いた液晶駆動回路では、図12に示すように、NOR回路36、38及びNAND回路37、39で構成される論理回路170を、レベルシフト回路33の後段に配置する必要があった。その理由は以下の通りである。即ち、仮に、従来例で論理回路170をレベルシフト回路33の前段に配置したとする。すると論理回路170の出力には4通りの態様があるため (HL、LH、HH、LL) 、レベルシフト回路33の第1、第2のスイッチング素子 (トランジスタ150～156) には同レベルの信号 (HHレベル、LLレベル) が入力される場合が生ずる。しかし、従来のレベルシフト回路では、前述の図11(A)～(C)にて説明したように、第1、第2の入力信号に同レベルの信号が入力されると正常な動作が保証されなかった。従って、従来例で論理回路170をレベルシフト回路33の前段に配置することは不可能であり、図12に示すように、論理回路170はレベルシフト回路33の後段に配置されることとなっていた。この結果、必然的に論理回路170内のNOR回路36、38及びNAND回路37、39は、第2の電源電圧V

5で駆動されることになってしまう。

【0012】ところが、この第2の電源電圧V5は液晶駆動用電圧としても使用されているものである。このためデータ信号または交流化信号が変化した際に、前記NOR回路36、38及びNAND回路37、39に生ずる貫通電流によってグリッジが発生した場合に、このグリッジは液晶駆動用電圧にも大きな影響を与えることになる。特に、これらのNOR回路及びNAND回路は、液晶パネルの全てのデータラインに4個ずつ接続されているため (例えば200×640ドットの液晶パネルでは総計640×4=2560個) 、その影響は極めて大きなものとなる。このため、これらのグリッジにより、液晶表示素子に供給される電圧の実効値が変化してしまい、液晶の表示品位が極めて低下してしまうという事態が生じた。

【0013】また、この第2の電源電圧V5は例えば-20～-40V (あるいは20～40V) の高電圧であり、このためNOR回路36、38、NAND回路37、39を構成するトランジスタも高耐圧トランジスタとする必要がある。しかし、これらの高耐圧トランジスタは、第1の電源電圧例えば-5V (あるいは5V) で動作するトランジスタよりも、同一の駆動能力を実現させるためのトランジスタの占有面積は極めて大きなものとなってしまう。

【0014】更に、半導体チップのレイアウトを行なう場合には、トランジスタのソース領域の周辺に、基板の電位を保持する目的で基板と同電位のいわゆるガードバンドを配置する必要がある。これらのガードバンドは、ソース領域に供給される駆動電圧が高くなると特に発生し易くなるラッチアップを防止するために必要となるものである。従って、通常のトランジスタに比べて、高電圧で駆動する必要がある高耐圧トランジスタでは、このガードバンドの占有面積を非常に大きくする必要がある。

【0015】以上のように、高耐圧トランジスタで構成される論理回路は、通常のトランジスタで構成される論理回路に比べて、表示特性に悪影響を及ぼし易く、また、非常に大きな面積を占めることとなっていた。従って、これらの論理回路はなるべく高耐圧トランジスタで構成しないことが、表示特性の向上という面から、あるいは半導体チップの小面積化という面から好ましい。しかし、図12に示すように、従来のレベルシフト回路を適用した高電圧駆動回路では、これらの論理回路170をレベルシフト回路33の後段に配置する必要がある。従って、必然的にこれらの論理回路170は高耐圧トランジスタで構成しなければならず、この結果、表示特性が悪化し、半導体チップの面積が大規模化するという問題が生じていた。

【0016】次に、第2の問題について述べる。

【0017】図11(A)、(B)の回路図及び図11

(C) の真理値表から明らかなように、従来のレベルシフト回路では、第1、第2の入力信号の電圧レベル反転期間、即ち第1、第2の入力信号がH、LレベルからL、Hレベルに移行する際、あるいは、L、HレベルからH、Lレベルに移行する際に、レベルシフト回路の電流経路が導通し、貫通電流が発生する問題があった。これらの貫通電流の発生は、例えばこれらのレベルシフト回路を高電圧駆動回路に適用した場合に、前述したのと同様に、高電圧電源にグリッジを生じさせる。そして、これらのグリッジの発生は、液晶の表示特性等に大きな影響を与えることになる。また、このように第1、第2の入力信号の電圧レベル反転期間に、電流経路が導通してしまうと、レベルシフト回路の応答速度が遅くなってしまう事態も生じる。この応答速度を早めるためには、トランジスタ150、(152)、154、(156)のサイズ、あるいはこのレベルシフト回路が接続される素子駆動用のトランジスタのサイズを極めて大きくする必要がある。しかし、このことは半導体チップの面積を増加させることになり好ましくない。

【0018】さて、従来、例えば貫通電流を減少させる技術としては、特公平4-30765号公報、特開平4-30765に示す技術がある。これらの従来技術は、例えばMOSトランジスタのオン抵抗を利用して、レベルシフト回路の電流経路に抵抗を形成し、貫通電流を減少させるものであった。従って、貫通電流をある程度減少させることはできるが、貫通電流、電流経路の導通状態を完全に遮断することはできなかった。

【0019】しかし、これらのレベルシフト回路を液晶駆動回路、多ビットの高電圧出力ドライバー等の高電圧駆動回路に適用した場合には、これらのレベルシフト回路は非常に多数必要となる。例えば、 200×640 ドットの液晶パネルでは、640個のレベルシフト回路が必要となる。従って、電流経路に抵抗を挿入して貫通電流をある程度減少させることができても、やはり表示特性等に与える影響は大きいものであった。一方、この貫通電流を更に減少させるべく電流経路に挿入された抵抗の抵抗値、あるいはトランジスタのオン抵抗値を大きくすると、今度は、レベルシフト回路の応答速度が遅くなるという事態が生ずる。しかし、例えば液晶パネル等では、液晶パネルの面積が大きくなるにしたがって、あるいは液晶パネルの解像度を高くするにしたがって、レベルシフト回路を高速に動作させる必要が生ずる。従って、レベルシフト回路の応答速度の高速化の妨げとなる電流経路への抵抗の挿入、あるいはトランジスタのオン抵抗の挿入は好ましくないという問題が生じていた。

【0020】本発明は以上の様な問題を解決するもので、その目的をするところは、レベルシフト回路に所定の制御信号によりオン・オフされる第3、第4のスイッチング素子を設け、これにより入力信号の電圧振幅を第1の電源電圧から第2の電源電圧へと変換する以外の機

能を持たせたレベルシフト回路を実現し、またこのレベルシフト回路を用いた高電圧駆動回路を実現することにある。

【0021】

【課題を解決するための手段】前記目的を達成するため本発明に係るレベルシフト回路は、第1、第2の入力信号の電圧振幅を第1の電源電圧から第2の電源電圧へと変換させるレベルシフト回路において、前記第1、第2の入力信号によりオン・オフされる第1、第2のスイッチング素子に加えて第3のスイッチング素子が前記第1のスイッチング素子に対して直列に設けられ第4のスイッチング素子が前記第2のスイッチング素子に対して直列に設けられ、これらの第3、第4のスイッチング素子が前記第1、第2の入力信号の信号状態に応じて形成された制御信号によりオン・オフされ、電流経路の導通・遮断の切り換えが行われることを特徴とする。

【0022】また、この場合、前記第3、第4のスイッチング素子は、前記第1、第2の入力信号が共に上側レベルにある場合又は共に下側レベルにある場合に前記制御信号によりオフ状態にされ、前記電流経路が遮断されてもよい。

【0023】また、この場合、前記第3、第4のスイッチング素子は、前記第1、第2の入力信号の電圧レベル反転期間に前記制御信号によりオフ状態にされ、前記電流経路が遮断されてもよい。

【0024】また、本発明に係る高電圧駆動回路は、所定の素子を第2の電源電圧で駆動させるための高電圧駆動信号を発生する高電圧駆動回路において、所定の論理演算により第1、第2の入力信号を形成する論理回路と、前記第1、第2の入力信号の電圧振幅を第1の電源電圧から第2の電源電圧へと変換させるレベルシフト回路と、前記レベルシフト回路の出力信号により前記高電圧駆動信号を形成する出力駆動回路とを含み、前記レベルシフト回路には前記第1、第2の入力信号によりオン・オフされる第1、第2のスイッチング素子に加えて第3のスイッチング素子が前記第1のスイッチング素子に対して直列に設けられ第4のスイッチング素子が前記第2のスイッチング素子に対して直列に設けられ、これらの第3、第4のスイッチング素子は、前記第1、第2の入力信号が共に上側レベルにある場合又は共に下側レベルにある場合に所定の制御信号によりオフ状態にされ、前記レベルシフト回路の電流経路が遮断されることを特徴とする。

【0025】

【作用】本発明によれば、所定の制御信号を用いて第3、第4のスイッチング素子をオン・オフさせることにより、レベルシフト回路の電流経路の導通・遮断が可能となる。この構成により、本発明では、例えば第1、第2の入力信号が共に同レベルであっても、正常な回路動作を保証することができる。従って、第1、第2の入力

信号に全ての態様の信号を入力でき、この結果、従来はレベルシフト回路の後段に配置されていた論理回路を、レベルシフト回路の前段に配置することが可能となる。更に、本発明によれば、第1、第2の入力信号の電圧レベル反転期間に第3、第4のスイッチング素子を所定の制御信号によりオフ状態にすることにより、貫通電流の発生及びレベルシフト回路の電流経路がショート状態となることを有効に防止できる。

【0026】

【実施例】

(1) 第1の実施例

図1(A)、(B)に本発明の第1の実施例を示す。

【0027】図1(A)、(B)に示すように、第1の実施例に係るレベルシフト回路では、第1、第2のスイッチング素子であるトランジスタ50、(52)、54、(56)と、トランジスタ58、60に加えて、第3、第4のスイッチング素子であるトランジスタ62、64が直列に接続されている。そして、このトランジスタ62、64は、第1、第2の入力信号の信号状態に応じて形成された制御信号31によりオン・オフされることになる。ここで、第3のスイッチング素子であるトランジスタ62は少なくとも第1のスイッチング素子である50、(52)に対して直列に接続されなければよく、第4のスイッチング素子であるトランジスタ64は少なくとも第2のスイッチング素子である54、(56)に対して直列に接続されなければよい。従って、例えば第3、第4のスイッチング素子であるトランジスタ62、64を、トランジスタ58、60の下側(電源E2側)に設ける構成としてもかまわない。

【0028】本第1の実施例では、以上の構成により互いに逆位相の第1、第2の入力信号が入力された場合に、その電圧振幅を第1の電源電圧(E1)から第2の電源電圧(E2)へと変換することが可能となる。

【0029】更に、本レベルシフト回路では、第1、第2の入力信号が共に同レベルである場合でも、制御信号31によりトランジスタ62、64をオフ状態にすることにより正常な動作を保証することが可能となる。

【0030】即ち、従来のレベルシフト回路では、図1(A)～(C)で説明したように、例えば第1、第2の入力信号が共にLレベル(E1レベル)である場合は、レベルシフト回路の電流経路が導通してしまい、動作不能の状態になってしまふ。これに対して、本第1の実施例に係るレベルシフト回路では、第1、第2のレベルシフト回路が共にLレベルの場合には、制御信号31をE2レベルとすることによりレベルシフト回路の電流経路を遮断し、これにより動作不能の状態を回避することができる。

【0031】本第1の実施例は、このような特徴を有しているため、第1、第2の入力信号として、全ての態様の信号(HL、LH、HH、LL)を入力することが可

能となる。これにより、例えば本第1の実施例を高電圧駆動回路に適用した場合に、従来はレベルシフト回路の後段に配置されていた所定の論理回路を、レベルシフト回路の前段に配置することが可能となる。そして、このように論理回路をレベルシフト回路の前段に配置することにより、この論理回路を高電圧で駆動する必要性がなくなる。この結果、高電圧電源に生ずるグリッジの発生を防止でき、表示特性等を向上できるとともに、これらの論理回路の占有面積を小さくでき、半導体チップの小面積化を図ることが可能となる。なお、このように論理回路をレベルシフト回路の前段に配置することができる場合の実施例については、第2、第3の実施例として後に詳述する。

【0032】また、本レベルシフト回路によれば、第1、第2の入力信号の電圧レベル反転期間、即ち、第1、第2の入力信号がH、LレベルからL、Hレベルに、あるいは、L、HレベルからH、Lレベルに移行する際に、レベルシフト回路の電流経路が導通し、貫通電流が発生するのを防止することが可能となる。即ち、本レベルシフト回路では、第1、第2のスイッチング素子に加えて第3、第4のスイッチング素子であるトランジスタ62、64が直列に設けられている。従って、このように電流経路が導通するような状態の時に、所定の制御信号によりこれらのトランジスタ62、64をオフ状態とし、これにより貫通電流の発生、電流経路の導通状態の発生を防止できる。この結果、表示特性の悪化防止、トランジスタ50～56、素子駆動用トランジスタのサイズの増大防止を図ることが可能となるわけである。なお、この場合の実施例については、第4の実施例として後に詳述する。

【0033】(2) 第2の実施例

次に本発明の第2の実施例を説明する。本第2の実施例は、本発明に係るレベルシフト回路をSTN液晶用の駆動回路に適用した場合の実施例である。

【0034】図2に本第2の実施例に係る液晶駆動回路の回路図を示す。この液晶駆動回路は、論理回路70、レベルシフト回路5、6、7、出力駆動回路80を含んで構成され、図12に示した従来の液晶駆動回路と同様に、データ信号と交流化信号から4値(V0、V2、V3、V5)の出力信号を形成する回路である。ここでレベルシフト回路6には本発明に係るレベルシフト回路が適用され、レベルシフト回路5、7には従来のレベルシフト回路が適用される。また、図12に示す従来の液晶駆動回路と異なり、論理回路70がレベルシフト回路の前段に配置されている。

【0035】論理回路70はインバータ9、10、NOR回路11、12、NAND回路13、14から構成されており、入力されたデータ信号、交流化信号に所定の論理演算を行い、レベルシフト回路6、7に対する入力信号23、24、25、26を形成している。ここで論

理回路70は、レベルシフト回路の前段に配置されているため、論理回路70を構成するトランジスタは、液晶駆動用電圧V5ではなく、論理回路駆動用電圧VSSにて動作させることができるのである。

【0036】論理回路70の出力信号23、24、25、26は、本発明に係るレベルシフト回路6と、レベルシフト回路7の入力となり、電圧振幅が液晶駆動用電圧V5へと変換される。そして、レベルシフト回路6、7によりレベルシフトされた出力信号27、28、29、30は、Nchトランジスタ19、20、Pchトランジスタ21、22により構成される出力駆動回路80へと入力されている。

【0037】また、交流化信号は、レベルシフト回路5によって電圧振幅が液晶駆動用電圧V5へとレベルシフトされる。そして、このレベルシフトにより形成された制御信号31は、本発明に係るレベルシフト回路6の第3、第4のスイッチング素子であるトランジスタ62、64へと入力される。更に、制御信号31は、ドレイン領域がレベルシフト回路7の出力信号29、30に接続されたNchトランジスタ17、18のゲート電極に入力されることになる。

【0038】出力駆動回路80を構成するトランジスタ19～22のソース領域には電源V0、V2、V3、V5が接続されている。また、トランジスタ19～22のドレイン領域は共通接続されており、この共通接続されたドレイン出力が液晶駆動信号としてそれぞれの液晶素子に出力されることになる。以上の構成により、本実施例に係る液晶駆動回路では、2値出力を4値出力(V0、V2、V3、V5)へと変換することが可能となる。

【0039】次に本液晶駆動回路の動作について、図3、図4を用いて説明する。図3には、データ信号及び交流化信号と出力信号との関係を示す真理値表が示され、図4には、データ信号、交流化信号、信号27～30、出力信号の実際の波形図が示される。

【0040】まず、交流化信号がLレベル(VSSレベル)の場合について説明する。この場合、レベルシフト回路6の第3、第4のスイッチング素子であるトランジスタ62、64に入力される制御信号31はV5レベルとなる。従って、レベルシフト回路6のNchトランジスタ62、64はオフ状態となり、レベルシフト回路6の電源間の電流経路は遮断状態となる。更に、この時、交流化信号がLレベルであるため、論理回路70内のNOR回路11、12の出力信号23、24はLレベルとなる。これにより、レベルシフト回路6のPchトランジスタ50、54はオン状態となり、レベルシフト回路6の出力信号27、28は共にGNDレベルとなる。この結果、出力駆動回路80内のPchトランジスタ21、22はオフ状態に設定されることになる。このことから交流化信号がLレベルの場合は、レベルシフト回路

6の出力信号は常にGNDレベルとなるため、レベルシフト回路6は非選択状態になるとみなすことができる。このように、本発明に係るレベルシフト回路は、第1、第2の入力がともにLレベルの場合も正常に動作するため、論理回路70をレベルシフト回路の前段に配置することが可能となる。

【0041】さて、この場合、レベルシフト回路7の入力にはデータ信号の状態に応じて第1、第2の入力信号が論理回路70を通じて与えられる。そして、このレベルシフト回路7の出力信号29、30が、出力駆動回路80内のNchトランジスタ19、20のゲート電極へと入力されることになり、また、前述したように、この時Pchトランジスタ21、22はオフ状態となっている。従って、出力駆動回路80の出力信号は、データ信号がLレベル(VSSレベル)のときにV5レベルとなり、Hレベル(GNDレベル)のときにV3レベルとなる。

【0042】このように、交流化信号がLレベルの場合には、レベルシフト回路7の出力信号29、30にはデータ信号に応じたデータが出力され、出力駆動回路80の出力信号には、データ信号に応じてV3、V5レベルのデータが出力されることになる。従って、交流化信号がLレベルの場合は、レベルシフト回路7は選択状態にあることができる。

【0043】なお、この場合に、Nchトランジスタ17、18のゲート電極には、Lレベルである交流化信号が入力されているため、Nchトランジスタ17、18はオフ状態となっている。

【0044】次に、交流化信号がHレベル(GNDレベル)の場合について説明する。この場合、レベルシフト回路6の第3、第4のスイッチング素子であるトランジスタ62、64に入力される制御信号31はGNDレベルとなる。従って、トランジスタ62、64はオン状態となり、レベルシフト回路6は、通常のレベルシフト回路と同様に、第1、第2の入力信号23、24の電圧振幅をレベルシフト変換することになる。そして、このレベルシフト回路6の出力信号27、28が、出力駆動回路80のPchトランジスタ21、22のゲート電極へと入力される。これにより、出力駆動回路80の出力信号は、データ信号がLレベル(VSSレベル)のときにV0レベルとなり、Hレベル(GNDレベル)のときにV2レベルとなる。このように、交流化信号がHレベルの場合は、レベルシフト回路6は選択状態にあることができる。

【0045】さて、この場合、交流化信号はHレベルであるため、論理回路70のNAND回路13、14から常にHレベルが出力されている。従って、レベルシフト回路6の出力信号29、30はハイインピーダンス状態になるはずである。しかし、出力信号29、30には、制御信号31がゲート電極に接続されたNchトランジ

スタ17、18のドレイン領域が接続されている。そして、交流化信号がHレベルであるため、この制御信号31はGNDレベルとなっており、従って、Nchトランジスタ17、18はオン状態となっている。このため、レベルシフト回路7の出力信号29、30はV5レベルに固定され、出力駆動回路80のNchトランジスタ19、20はオフ状態に設定されることになる。

【0046】以上に説明したように、図2に示す本第2の実施例では、制御信号31によりレベルシフト回路6を選択状態と非選択状態で切り替えて動作させている。本第2の実施例では、この動作によって従来例と同等の機能を実現することが可能となっている。

【0047】さて、本第2の実施例では論理回路70を、レベルシフト回路の前段に配置することができる。従って、従来例では液晶駆動用電圧V5（例えば-20~-40V）で動作していた論理回路を、論理回路駆動用電圧VSS（例えば-5V）で動作させることができる。従って、データ信号または交流化信号が変化した際にNOR回路11、12及びNAND回路13、14に貫通電流が生じても、この貫通電流が液晶駆動用電圧V5にグリッジの発生等の悪影響を与えることがなくなる。このため、安定した液晶駆動用電圧V5を液晶表示装置に供給でき、液晶表示装置の表示品位を極めて向上させることができる。

【0048】また、本第2の実施例では論理回路70を従来例に比べて極めて低い動作電圧で動作させることができるために、消費電流を極めて低減化することができる。即ち、一般的に消費電流は、 $i = c \cdot v$ （動作電圧） $\cdot f$ （動作周波数）で表わされる。従って、論理回路の動作電圧が、従来例では例えば-20~-40Vであったのを、本第2の実施例では例えば-5Vとすることができます。従って、消費電流を極めて低減化できるわけである。特に、液晶表示装置は携帯形機器に使用されることが多いことから、小型化、軽量化のため電池での長時間動作、低消費電流化が要求されている。このことから本第2の実施例に係る液晶駆動回路は、従来例に比べて非常に優位な構成となることが理解される。

【0049】なお、図2に示す本第2の実施例では、図12に示す従来例に対してレベルシフト回路が1つ追加された構成となっている。しかし、図2の本第2の実施例では、前述したように制御信号31により、レベルシフト回路6、レベルシフト回路7を排他的に動作させている。従って、レベルシフト回路の消費電流は、図12に示す従来例と同等であるとみなすことができる。この結果、本第2の実施例に係る液晶駆動回路は、従来例に比べて論理回路で低減される消費電流分だけ節約できることが理解される。

【0050】また、本第2の実施例に係る液晶駆動回路は、図5に示すように占有面積の面においても、従来例よりも優位な構成となる。

【0051】即ち、-20~-40Vの高電圧で動作する高耐圧トランジスタは、-5Vで動作する通常のトランジスタに比べて、同一の駆動能力を実現させるためには例えば5倍程度の面積を必要とする。

【0052】更に、半導体チップのレイアウトを行なう場合には、トランジスタのソース領域の周辺にいわゆるガードバンドを配置する必要がある。これらのガードバンドは、ソース領域に供給される駆動電圧が高くなると特に発生し易くなるラッチアップを防止するために必要となるものである。従って、通常のトランジスタに比べて、高電圧で駆動する必要がある高耐圧トランジスタでは、このガードバンドの占有面積も非常に大きくする必要がある。

【0053】以上の2点より、本第2の実施例では、図6に示すように論理回路70の占有面積を極めて小さくすることができる。

【0054】さて、本発明に係るレベルシフト回路6は、従来のレベルシフト回路に比べてNchトランジスタ62、64が追加された構成となっている。しかし、これらのNchトランジスタ62、64は、図2に示すように中間ドレンから取り出しがないトランジスタである。従って、Nchトランジスタ62、64はNchトランジスタ58、60と最小ピッチ（ゲート電極間ピッチ）で配置することができ、これらのトランジスタ62、64を加えたことによる半導体チップ面積の増加はほとんどない。また、出力駆動回路80内に追加されたトランジスタ17、18も、ハイインピーダンス状態に設定されたレベルシフト回路7の出力信号をブルダウンするものであるため、非常に小さいサイズのトランジスタとなる。従って、これらのトランジスタを加えたことによる半導体チップ面積の増加もほとんどない。

【0055】また、図2に示す本第2の実施例では、従来例に比べて、レベルシフト回路7を1個追加した構成となっている。しかし、レベルシフト回路6とレベルシフト回路7を並べてレイアウトすると、それぞれのレベルシフト回路のNch、Pchトランジスタをそれぞれ同一のウェル内で形成出来る。

【0056】以上より、本第2の実施例では、前述した論理回路の占有面積の縮小と、レベルシフト回路、Nchトランジスタ17、18、62、64の追加による占有面積の増加をトータルすれば、全体として液晶駆動回路の面積を従来例よりも削減できる。この点は、図5を見れば明かである。

【0057】しかも、図5に示すように、従来例の液晶駆動回路で形成される半導体チップが縦長の形状となるのに対して、本第2の実施例の液晶駆動回路で形成される半導体チップは横長の形状となる。従って、本第2の実施例は、スリム形状のチップを実現するために最良のものとなる。そして、液晶駆動回路をスリムチップ化すれば、図6に示すように、液晶パネルの有効表示領域の

比（機器の大きさに対する液晶パネルの大きさの比）を大きくすることが可能となる。この有効表示領域の比は、この種の液晶パネルにおいて非常に重要な性能の1つとなるため、この意味においても本第2の実施例は従来例に比べて非常に優位な構成となる。

【0058】(3) 第3の実施例

次に本発明の第3の実施例を説明する。本第3の実施例は、本発明に係るレベルシフト回路をMIM液晶用の駆動回路に適用した場合の実施例である。

【0059】図7に本第3の実施例に係る液晶駆動回路の回路図を示す。この液晶駆動回路は、論理回路70、レベルシフト回路6、7、8、出力駆動回路80を含んで構成される。そして、論理回路70には液晶駆動回路の前段に配置されたシフトレジスタの出力信号、及びFR信号が入力されている。また、このFR信号はレベルシフト回路5にも入力されている。出力駆動回路80内のNchトランジスタ19、20、Pchトランジスタ21、22のソース領域には、電源V0、V2、V4、V5が接続されている。そして、これらのトランジスタ19～22の共通ドレインが本液晶駆動回路の出力信号となり、液晶素子を駆動するためのコモン信号として使用されることになる。なお、本第3の実施例は、図2に示す本第2の実施例に係る液晶駆動回路と、その構成の主要部がほぼ共通するため、構成の詳細な説明については省略する。

【0060】図8には、本第3の実施例の動作を示す波形図が示される。同図に示すように本液晶駆動回路の出力信号であるコモン信号は、FR信号に同期してV1、V5間あるいはV0、V4間で反転して出力されることになる。

【0061】図7に示す本第3の実施例の構成から明らかなように、本第3の実施例は、従来例に対して、本第2の実施例と同様の優位点をもつ。即ち、論理回路70をレベルシフト回路の前段に配置することが可能となるため、この論理回路70を例えば-5Vで動作することが可能となる。この結果、表示特性の向上あるいは半導体チップの小面積化、スリムチップ化等を図ることが可能となる。

【0062】(4) 第4の実施例

次に本発明の第4の実施例を説明する。第4の実施例は、レベルシフト回路の第1、第2の入力端子の電圧レベル反転期間に、所定の制御信号により第3、第4のスイッチング素子をオフ状態にして、レベルシフト回路の電流経路を遮断する実施例である。

【0063】図9(A)に本第4の実施例の回路図を、図9(B)に制御信号31等の各信号の波形図を示す。

【0064】図9(A)に示すように、第3、第4のスイッチング素子であるNchトランジスタ62、64をオン・オフする制御信号31は、ワンショットマルチバイブレータ92により形成される。このワンショットマ

ルチバイブルエタ92には、D-フリップフロップ47を介してクロック信号が入力されている。そして、このクロック信号は、第1、第2の入力信号の電圧レベルの反転に同期した信号である。従って、図9(B)に示すように、ワンショットマルチバイブルエタ92からは、第1、第2の入力信号の電圧レベル反転期間に、トランジスタ62、64をオフ状態に設定し、レベルシフト回路90の電流経路を遮断する制御信号31が出力されることになる。

【0065】本第4の実施例は、以上のように動作するため、第1、第2の入力信号の電圧レベル反転期間に生ずる貫通電流を防止できる。従って、例えば本第4の実施例を液晶駆動回路(STN、MIM、TFT等)、多ビットの高電圧出力ドライバ等の高電圧駆動回路に適用した場合には、高電圧電源に生ずるグリッジの発生を防止でき、表示特性等を向上させることができる。

【0066】また、本第4の実施例によれば、レベルシフト回路90の応答速度を極めて早くすることができる、また、占有面積の縮小化を図ることができる。即ち、本

第4の実施例によれば、第1、第2の入力信号の電圧レベル反転期間に、トランジスタ62、64がオフ状態にされるため、レベルシフト回路のショート状態がなくなる。従って、レベルシフト回路90の応答速度を極めて早くすることが可能となる。この結果、レベルシフト回路90のトランジスタ50～60又はこのレベルシフト回路が接続される素子駆動用トランジスタのサイズを格段に小さくすることが可能となる。このように本第4の実施例によれば、所定の制御信号によりオン・オフされる第3、第4のスイッチング素子を新たに設けることにより、レベルシフト回路の特性改善、機能付加を実現することが可能となる。

【0067】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0068】例えば、前述の実施例1～4では、マイナス側の電源電圧をレベルシフトするレベルシフト回路及びこれを用いた高電圧駆動回路について説明したが、本発明は図10に示すようなプラス側の電源電圧をレベルシフトするレベルシフト回路及びこれを用いた高電圧駆動回路にも当然に適用できる。

【0069】また、第2、第3の実施例では、STN液晶、MIM液晶に使用される液晶駆動回路に本発明を適用した場合について説明したが、本発明はこれに限らず、例えばTFT液晶等のあらゆる種類の液晶の駆動回路に適用できる。更に、本発明は液晶駆動回路だけでなく多ビットの高耐圧出力を備えた半導体回路に広く応用できるものである。

【0070】

【発明の効果】本発明によれば、例えば第1、第2の入力信号が共に同レベルであっても、正常な回路動作を保

証することができ、従来レベルシフト回路の後段に配置されていた論理回路を、レベルシフト回路の前段に配置することが可能となる。従って、この論理回路を論理回路駆動用電圧で駆動させることができる。この結果、高電圧電源にグリッジ等が発生するのを防止でき、高電圧駆動回路の表示特性等の性能を非常に向上させることができ。更に、半導体回路の消費電流、チップ面積を減少でき、また、半導体装置のスリムチップ化を図ることが可能となる。

【0071】また、本発明によれば、第1、第2の入力信号の電圧レベル反転期間に貫通電流が発生するのを防止できる。従って、高電圧電源にグリッジ等が発生するのを防止でき、高電圧駆動回路の表示特性等の性能を向上させることができる。更に、本発明によれば、第1、第2の入力信号の電圧レベル反転期間に、レベルシフト回路の電流経路がショート状態となることを防止できる。従って、レベルシフト回路の応答動作を極めて早くすることが可能となる。この結果、レベルシフト回路を構成するスイッチング素子のサイズ、あるいはレベルシフト回路が接続される素子駆動用のトランジスタのサイズを格段に小さくすること可能となる。

【図面の簡単な説明】

【図1】図1(A)、(B)は本発明の第1の実施例に係るレベルシフト回路を示す回路図であり、図1(C)はその動作を説明するための真理値表である。

【図2】図2は、本発明の第2の実施例に係る液晶駆動回路を示す回路図である。

【図3】図3は、第2の実施例に係る液晶駆動回路の真理値表を示す図である。

【図4】図4は、第2の実施例に係る液晶駆動回路の動作を示す波形図である。

* 【図5】図5は、第2の実施例による半導体チップの面積縮小化について説明するための概略説明図である。

【図6】図6は、第2の実施例による半導体チップのスリムチップ化について説明するための概略説明図である。

【図7】図7は、本発明の第3の実施例に係る液晶駆動回路を示す回路図である。

【図8】図8は、第3の実施例に係る液晶駆動回路の動作を示す波形図である。

10 【図9】図9は、本発明の第4の実施例を示す回路図である。

【図10】図10は、プラス側の電源をレベルシフトする場合のレベルシフト回路を示す回路図である。

【図11】図11(A)、(B)は従来のレベルシフト回路を示す回路図であり、図11(C)はその動作を説明するための真理値表である。

【図12】図12は、従来のレベルシフト回路を適用した液晶駆動回路を示す回路図である。

【符号の説明】

20 6、7、8、33、90、94、 レベルシフト回路
8、9、10、34、35 インバータ
11、12、36、38 NOR回路
13、14、37、39 NAND回路
17、18、19、20、52、56、58、60、6
2、64、152、156、158、160 Nchト
ランジスタ
21、22、50、54、150、154 Pchト
ランジスタ
23、24、25、26、27、28、29、30、4

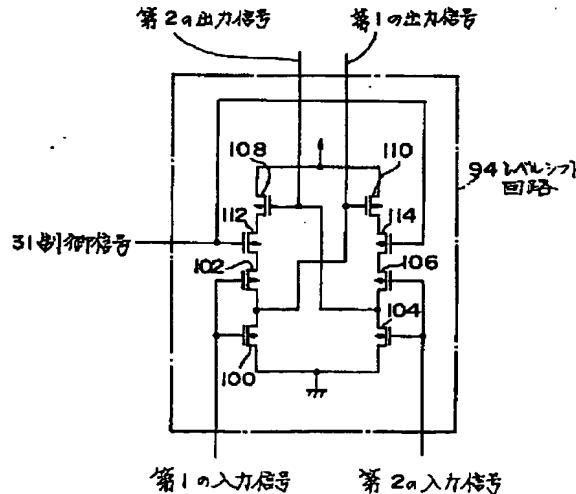
30 4、45、46 信号線
* 31 制御信号

【図3】

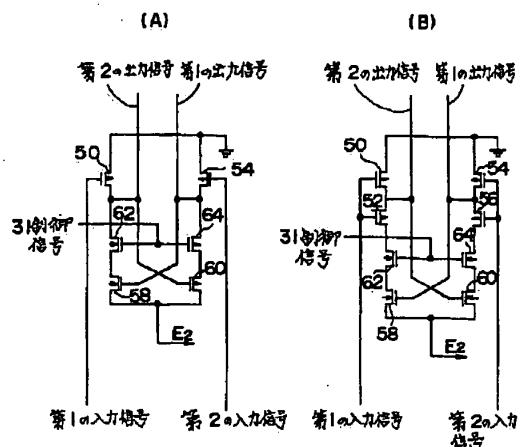
入力レベル		レベルシフト回路B,Aの出力				レベルシフト回路B,Aの選択/非選択		出力信号
データ	交換化信号	信号27	信号28	信号29	信号30	選択	非選択	
L	L	GND	GND	GND	V5	非選択	V5	
L	H	V5	GND	V5	V5	選択	V0	
H	L	GND	GND	V5	GND	非選択	V3	
H	H	GND	V5	V5	V5	選択	V2	

H … GND
L … VSS

【図10】



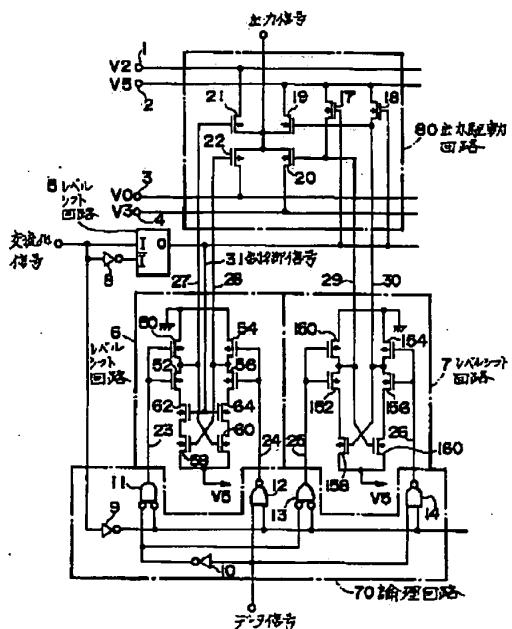
[図1]



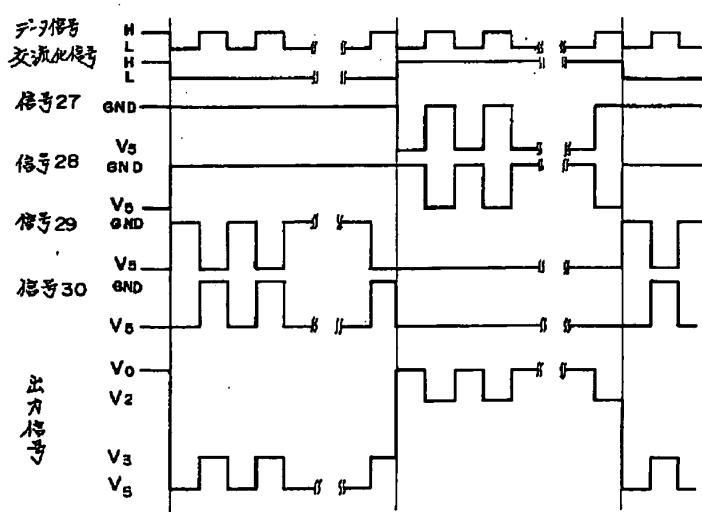
(C)

第1の入力信号	第2の入力信号	第1の出力信号	第2の出力信号
H (GND)	L (E1)	GND	E2
L (E1)	H (GND)	E2	GND
H (GND)	H (GND)	Z	Z
L (E1)	L (E1)	GND	GND

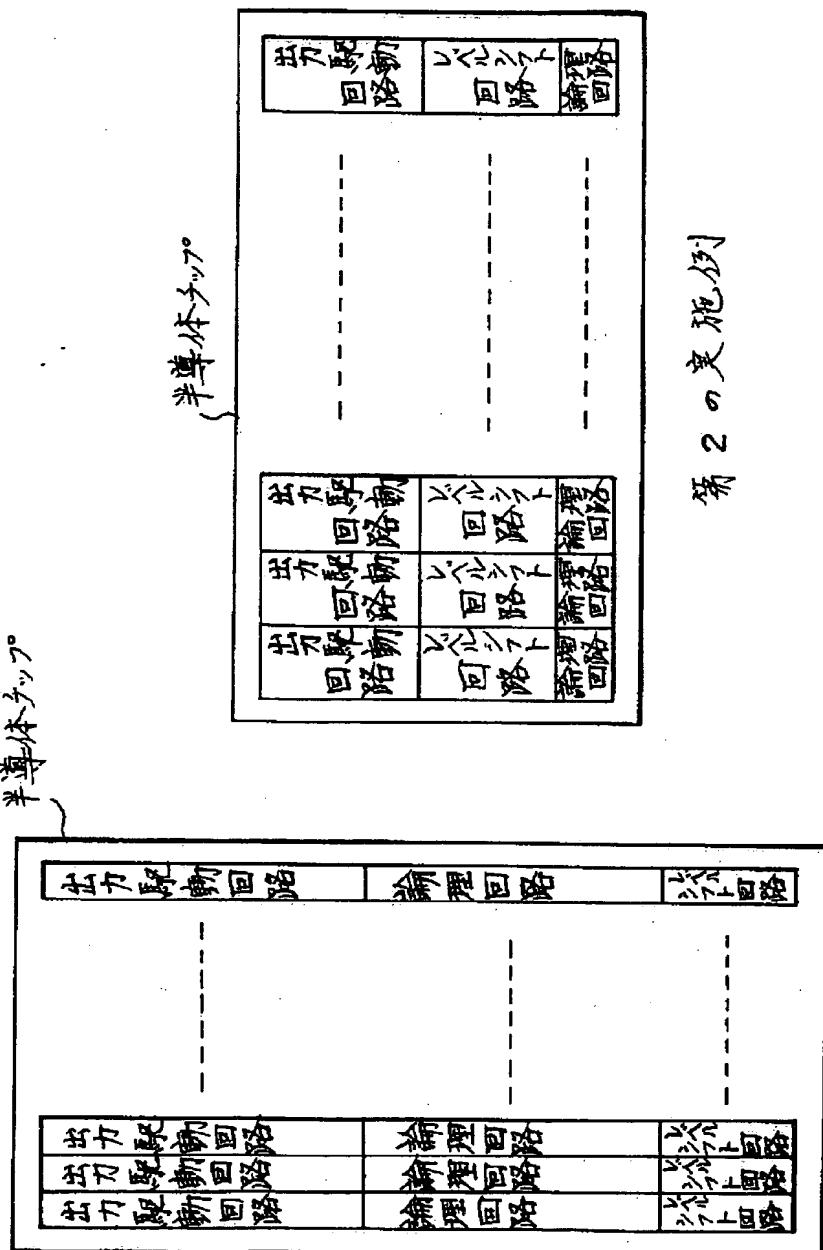
【图2】



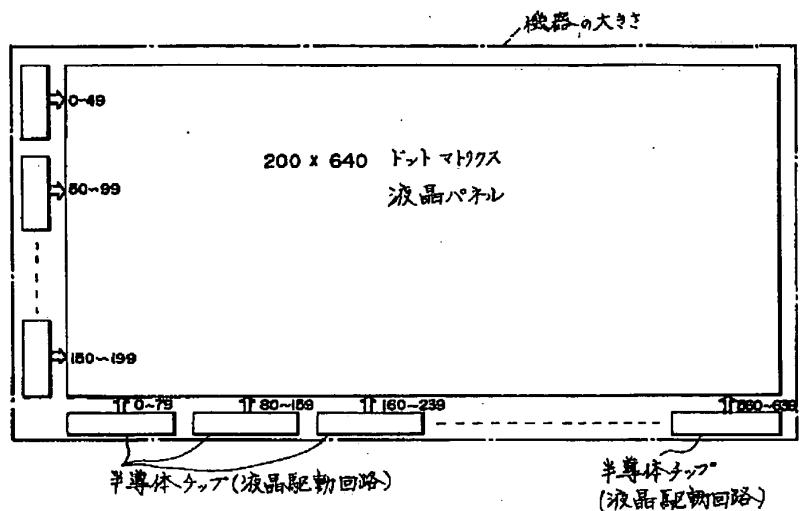
【図4】



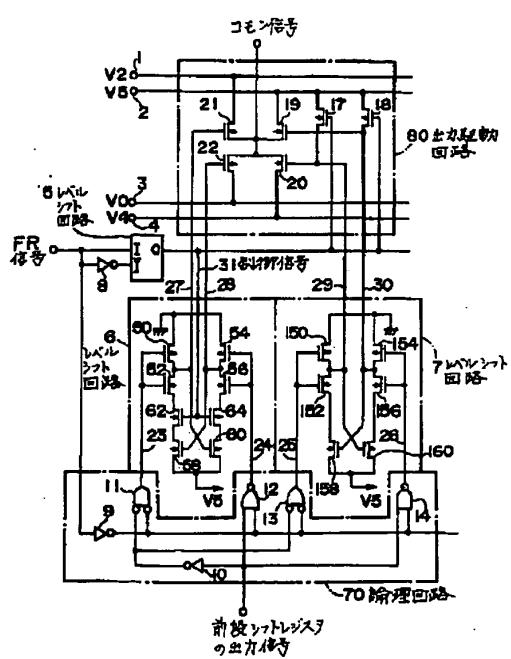
【図5】



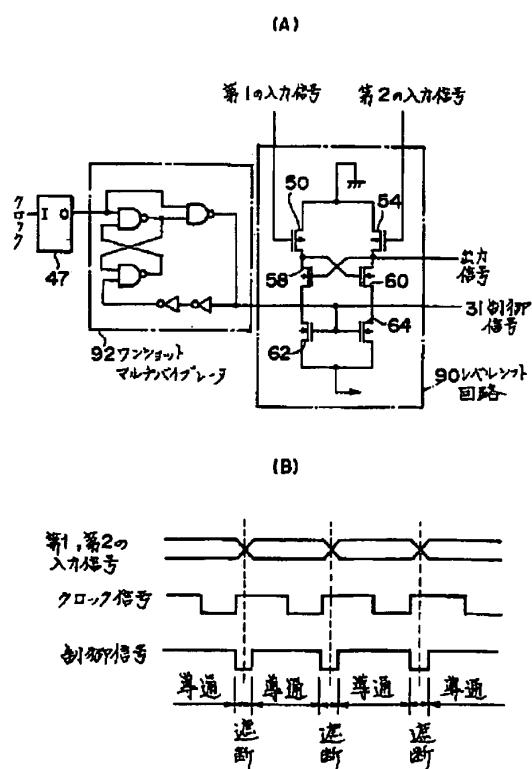
【図6】



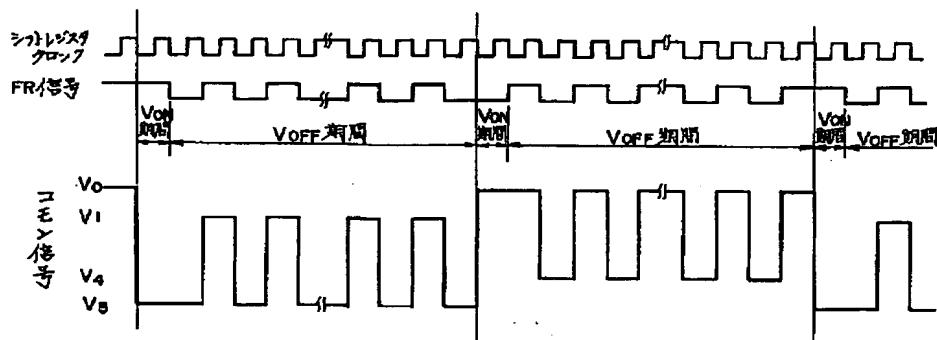
【図7】



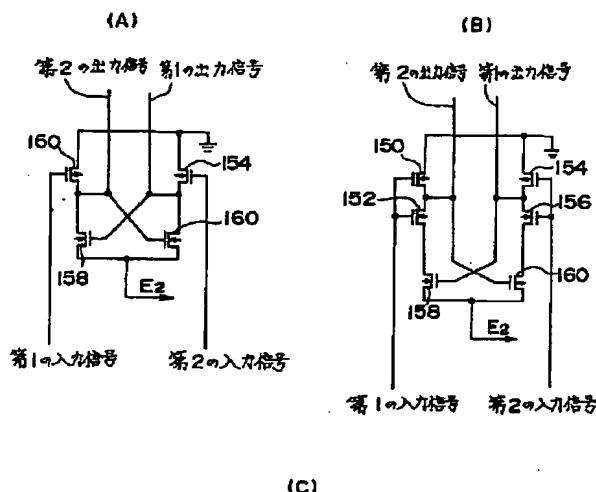
【図9】



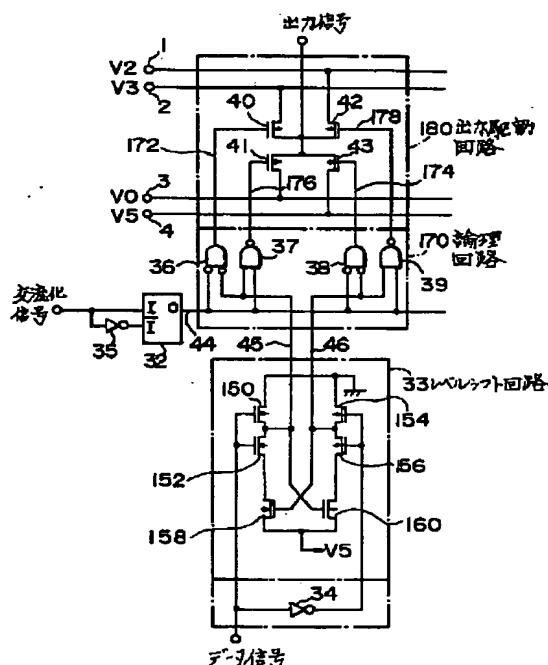
[图8]



【図11】



[図12]



フロントページの続き

(51) Int.C1.³
H 0 4 N 5/66

識別記号 厅内整理番号
102 B 9068-5C

F I

技術表示簡所

THIS PAGE BLANK (USPTO)